


MEMORY CELL AND MEMORY DEVICE

Patent Number: JP7161844
Publication date: 1995-06-23
Inventor(s): IDEI YOJI; others: 06
Applicant(s): HITACHI LTD; others: 01
Requested Patent:  JP7161844
Application Number: JP19930311545 19931213
Priority Number(s):
IPC Classification: H01L21/8244; H01L27/11; G11C11/41
EC Classification:
Equivalents: JP3285442B2

Abstract

PURPOSE: To realize a static memory cell having high resistance to soft error generated by alpha ray.

CONSTITUTION: A memory cell 200 has a coupling capacitor Cc between two information storage nodes 1, 2. A p well (or p substrate), in which drive MOS transistors Mn5 and Mn4 and transfer MOS transistors Mn1 and Mn2 are formed, is connected to a Vbb generating circuit 210. The voltage Vbb is set lower than a low level VL of a signal potential of the memory cell. This causes a parasitic diode between the sources of MN1. to MN4 or a n type diffusion layer corresponding to a drain and the p well (or p substrate) not to be ON even when a potential fluctuation DELTAVL of the node 2 on the low potential side is large, thus preventing mal function.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 7 - 1 6 1 8 4 4

(43)公開日 平成7年(1995)6月23日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8244			
	27/11			
G 1 1 C	11/41			
		7210-4 M	H 0 1 L 27/10 3 8 1	
			G 1 1 C 11/40 D	
審査請求	未請求	請求項の数 1 2	O L	(全 1 3 頁)

(21)出願番号 特願平5-311545

(22)出願日 平成5年(1993)12月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 出井 陽治

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 南部 博昭

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(74)代理人 弁理士 薄田 利幸

最終頁に続く

(54)【発明の名称】メモリセルおよびメモリ装置

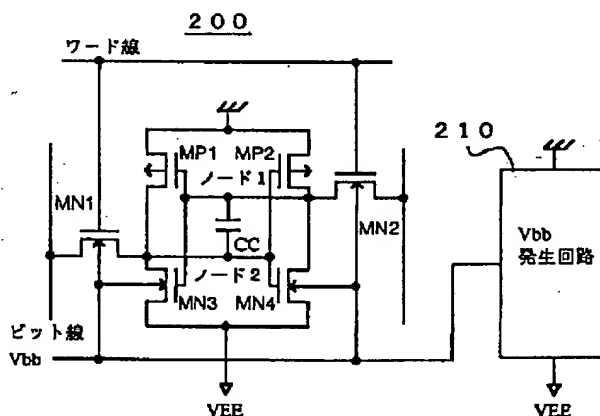
(57)【要約】

【目的】 α 線により引き起こされるソフトエラーに対する耐性が高いスタティック形メモリセルを実現する。

【構成】メモリセル200は、二つの情報蓄積ノード1, 2間に結合容量 C_c を有する。駆動MOSトランジスタMN3、MN4およびトランスファMOSトランジスタMN1、MN2が形成されるpウエル（またはp基板）は、 V_{bb} 発生回路210に接続する。電圧 V_{bb} は、メモリセルの信号電位の低レベル V_L より低く設定する。

【効果】低電位側ノード2の電位変動 ΔV_L が大きい場合でも、MN1～MN4のソースまたはドレインに相当するn形拡散層とpウエル（またはp基板）との間に存在する寄生ダイオードがオンしないので、誤動作を防止できる。

図 1



【特許請求の範囲】

【請求項1】第1の導電型の導電層中にドレインとソースとが形成され、ゲートとドレインとが互いに交差接続された二つの情報蓄積ノード（ノード1及びノード2）を有する少なくとも2個の第2の導電型チャネルのMOSトランジスタを含むスタティック型メモリセルにおいて、第1の導電型の導電層の電位（ V_{bb} ）を、第2の導電型チャネルのMOSトランジスタのドレインと第1の導電型の導電層とで形成される寄生ダイオードが、 α 線により引き起こされる雑音電流に起因する情報ノードの電位変動によってオンしない電圧レベルで、かつ、第2の導電型チャネルのMOSトランジスタのソースとは異なる電圧レベルに設定したことを特徴とするメモリセル。

【請求項2】前記メモリセルの二つの情報蓄積ノード（ノード1及びノード2）間に容量（ C_c ）が付加されている請求項1記載のメモリセル。

【請求項3】前記第1の導電型はp型であり、前記第2の導電型はn型であり、かつ、前記第1の導電型の導電層の電位（ V_{bb} ）の電圧レベルは、メモリセルの信号電

$$V_{bb} \geq V_H + (C_3/C_2) V_S - V_F$$

【請求項5】前記第1の導電型の導電層の下部と第1の導電型の基板との間に第2の導電型の高不純物濃度層を更に設けると共に、この高不純物濃度層を高電位側の電源電圧に接続したことを特徴とする請求項3に記載のメモリセル。

【請求項6】前記第1の導電型の導電層と前記第1の導電型の基板との間および第1の導電型チャネルのMOSトランジスタと第2の導電型チャネルのMOSトランジスタとの間は酸化シリコン層で分離されていることを特徴とする請求項3または請求項4に記載のメモリセル。

【請求項7】前記第1の導電型の導電層の下部と第1導電型の基板との間に第2の導電型の高不純物濃度層を更に設けると共に、この高不純物濃度層を低電位側の電源電圧に接続したことを特徴とする請求項4に記載のメモリセル。

【請求項8】請求項3に記載のメモリセルを複数用いたメモリ装置において、各前記メモリセルの第1の導電型の導電層の電位（ V_{bb} ）をメモリ装置の低電位側の電源電圧（ V_{EE} ）よりも低く設定したことを特徴とするメモリ装置。

【請求項9】請求項3に記載のメモリセルを複数用いたメモリ装置において、各前記メモリセルの信号電位の低レベル（ V_L ）をメモリ装置の低電位側の電源電圧（ V_{EE} ）よりも高く設定したことを特徴とするメモリ装置。

【請求項10】請求項4に記載のメモリセルを複数用いたメモリ装置において、各前記メモリセルの第1の導電

位の低レベルを V_L 、メモリセルの前記情報蓄積ノード2の対接地容量を C_2 、前記情報蓄積ノード1とノード2間の結合容量を C_3 、メモリセルの信号振幅を V_S 、前記寄生ダイオードのオンする電圧を V_F としたときに、次式で表される条件を満足するように設定したことを特徴とする請求項1または請求項2に記載のメモリセル。

【数1】

$$V_{bb} \leq V_L - (C_3/C_2) V_S + V_F$$

【請求項4】前記第1の導電型はn型であり、前記第2の導電型はp型であり、かつ、前記第1の導電型の導電層の電位（ V_{bb} ）の電圧レベルは、メモリセルの信号電位の高レベルを V_H 、メモリセルの前記情報蓄積ノード2の対接地容量を C_2 、前記情報蓄積ノード1とノード2間の結合容量を C_3 、メモリセルの信号振幅を V_S 、前記寄生ダイオードのオンする電圧を V_F としたときに、次式で表される条件を満足するように設定したことを特徴とする請求項1または請求項2に記載のメモリセル。

【数2】

型の導電層の電位（ V_{bb} ）をメモリ装置の高電位側の電源電圧よりも高く設定したことを特徴とするメモリ装置。

【請求項11】請求項4に記載のメモリセルを複数用いたメモリ装置において、各前記メモリセルの信号電位の高レベル（ V_H ）をメモリ装置の高電位側の電源電圧よりも低く設定したことを特徴とするメモリ装置。

【請求項12】請求項9または請求項11に記載のメモリ装置において、周辺回路を全てECL回路で構成したことを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はメモリセルおよびメモリ装置に係り、特に α 線により引き起こされるソフトエラーに対する耐性を向上させた半導体メモリセルおよびこのセルを用いたメモリ装置に関する。

【0002】

【従来技術】従来、メモリセルのソフトエラー対策として、例えばCMOSまたはBiCMOSメモリに用いられるスタティック型メモリセルの情報蓄積ノードに、容量を付加する方法が知られている。容量の付加方法としてはいくつかの方法が考えられるが、小面積のメモリセルを実現するためには、付加する容量はできるだけ小容量でメモリセルの蓄積電荷を増大する効果の高い方法が望ましい。

【0003】このような蓄積電荷を増大する容量の付加方法として、メモリセルの二つの情報蓄積ノード間に容

量を接続する方法が有効であることが、アイ・イー・イー・ジャーナル・オブ・ソリッドステート・サーキットズ, Vol. SC-22, No. 3, 1987年6月号, 430ページから436ページ (IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-22, No. 3, June 1987, pp. 430-436)に示されている。

【0004】図2は、この従来方法による対策を行ったメモリセルの等価回路図である。図2において参照符号100はメモリセルを示し、このメモリセル100はトランスファMOSトランジスタMN1, MN2と、駆動MOSトランジスタMN3, MN4と、負荷MOSトランジスタMP1, MP2と、および二つの情報蓄積ノード(ノード1とノード2)間に付加された容量C₀とから構成される。図3は、このような構成のメモリセルのα線により誘起された雑音電流I_αに対するメモリセルの応答を記述するための等価回路図である。以下、図2および図3を用いて、この情報蓄積ノード間に容量を付加する従来方法によって、メモリセル100のソフトエラー耐性が増大する機構について説明する。

【0005】図3の等価回路において、ノード1とノード2は図2におけるメモリセル100の情報蓄積ノードであり、容量C₁とC₂はそれぞれノード1およびノード2の対接地容量を表わす。これらの容量C₁, C₂は、主にトランジスタMN1~MN4およびMP1, MP2の拡散層とウェルまたは基板との間の寄生容量からなる。また、容量C₃はノード1とノード2との間の結合容量であり、トランジスタMN3とMN4の拡散層-ゲート間の寄生容量と両ノードの間に付加した容量C₀とからなる。

【0006】α線の入射により引き起こされる雑音電流I_αのパルス幅は、一般的に100ps程度であり、MOSトランジスタのオン抵抗と情報蓄積ノードの容量とから決まる時定数に比較して小さいので、情報蓄積ノードの電位変動は、図3に示すように容量のみから構成される等価回路で表わすことができる。また、雑音電流I_αの向きは、α線がnMOSトランジスタMN1~MN4に入射する場合とpMOSトランジスタMP1, MP2に入射する場合とで異なる。しかし、通常のメモリセルでは、pMOSトランジスタの占有面積はnMOSトランジスタと比べてはるかに小さいので、α線が入射してもpMOSトランジスタに流れる雑音電流I_αは小さい。従って、ソフトエラーが発生するのは、α線がnMOSトランジスタに入射して、矢印の向きに雑音電流I

αが流れることにより、高電位側ノードの電位を引き下げる場合であると考えてよい。以下では、この場合のソフトエラーについて説明する。

【0007】いま、メモリセル100が情報保持状態にあって、ノード1の電位が高レベルV_H、ノード2の電位が低レベルV_Lであると仮定すると、α線の入射によりソフトエラーが発生するのは、α線によって誘起された雑音電流I_αによりノード1の電位が低下し、ノード2の電位よりも低くなった場合である。従って、ソフトエラー発生時の臨界条件は次の(1)式で与えられる。

【0008】

【数3】

$$V_H - \Delta V_H = V_L - \Delta V_L \quad \dots (1)$$

【0009】ここで、ΔV_H、ΔV_Lは、それぞれ雑音電流I_αによるノード1, 2の電位変動量である。ノード1の電位変動は、容量C₃とC₂とで容量分割されてノード2に現れるので、ΔV_HとΔV_Lとの間には次の(2)式の関係が成り立つ。

【0010】

【数4】

$$\Delta V_L = (C_3 / (C_2 + C_3)) \Delta V_H \quad \dots (2)$$

【0011】(2)式を(1)式に代入し、V_H - V_L = V_s (メモリセルの信号振幅)と書くと次の(3)式および(4)式が得られる。

【0012】

【数5】

$$\Delta V_H = (1 + C_3 / C_2) V_s \quad \dots (3)$$

$$\Delta V_L = (C_3 / C_2) V_s \quad \dots (4)$$

【0013】メモリセル100にエラーを起こすためにノード1に加えなければならない最小の電荷をメモリセルの蓄積電荷Q_mと定義すると、Q_mは次の(5)式に示すようにノード1とグラウンドとの間の等価容量と、(3)式で与えられるΔV_Hとの積に等しい。更に、通常のメモリセルではC₁=C₂であるので、(5)式は(6)式のように簡略化される。

【0014】

【数6】

$$Q_m = (C_1 + C_2 \cdot C_3 / (C_2 + C_3)) (1 + C_3 / C_2) V_s \quad \dots (5)$$

$$Q_m = (C_2 + 2C_3) V_s \quad \dots (6)$$

【0015】(6)式より、メモリセル100の情報蓄積ノード間に容量C₀を付加する(C₃を増やす)ことに

よって、情報蓄積ノードに対接地容量を付加する(C₁およびC₂を増やす)場合と比較して同じ容量では2倍

の蓄積電荷増大効果が得られることがわかる。しかも、前者ではメモリセル1個について1個の容量を付加すれば良いため、単位容量当たりでは前者は後者の4倍の蓄積電荷増大効果が得られることになる。

【0016】このように、メモリセル100の二つの情報蓄積ノード1、2間に対し、容量 C_c を付加するという従来方法により大きな蓄積電荷増大効果を生ずるのは、この容量 C_c が高電位側のノード1の電位の低下を妨げるだけでなく、高電位側のノード1の電位の低下にともなって低電位側のノード2の電位も低下させるため、両ノード1、2の電位の逆転がより起こりにくくなるからである。

【0017】しかし、本発明者等は、図3に示した等価回路は低電位側のノード2の電位変動 ΔV_L が0.8V程度以上となる場合には有効ではなく、(6)式が成り立たなくなることに着目した。これは、nMOSトランジスタMN1~MN4が形成されているpウェルと、ソースまたはドレインのn形拡散層との間に形成されるpn接合、すなわち寄生ダイオードがオンするからである。従来のメモリセルでは図2に示すように、情報保持状態におけるメモリセル100の低電位側の電位はpウェルの電位と同電位(V_{EE})となるように設計されている。このため、メモリセル100の低電位側ノード2の電位は情報保持状態における電位 V_L から上記寄生ダイオードがオンする電圧 V_F 、すなわち0.8V程度低い電位でクランプされ、(2)式が成り立たなくなる。この場合、容量 C_3 は一端が等価的に接地された容量とみなせるため、メモリセル100の蓄積電荷 Q_m は次の(7)式のようになり、(6)式で与えられる値よりも減少してしまうことになる。

【0018】

【数7】

$$Q_m = (C_2 + C_3) V_S \quad \dots (7)$$

【0019】ここで、(4)式から明らかなように、 ΔV_L が0.8V程度より大きくなるかどうかは C_2 (= C_1)と C_3 との比およびメモリセルの信号振幅 V_S とから決まる。例えば、加工寸法0.4 μ mのプロセスを用いて作製したメモリセル100の例では、 C_2 は約3fFであり、十分なソフトエラー耐性を確保するためには C_3 を2~3fFとする必要がある。このメモリセルの信号振幅 V_S は3.3Vであるので、 ΔV_L は2.2V~3.3Vとなって、0.8Vよりも大きくクランプの影響を無視することはできないことがわかる。

【0020】さらに、今後加工寸法の微細化が進むと、メモリセルに収集される雑音電荷量は加工寸法に比例し*

$$V_{bb} \leq V_L - (C_3/C_2) V_S + V_F \quad \dots (8)$$

【0027】ここで V_F は、nチャネルのMOSトランジスタのドレインとpウェルとで形成される寄生ダイオ

*で減少するのに対し、MOSトランジスタの拡散層とウェルまたは基板との間の接合容量は、加工寸法の2乗に比例して急激に減少する。従って、 C_3 として付加しなければならない容量は C_1 、 C_2 に比較して相対的に増大し、 ΔV_L はさらに増大することになる。

【0021】このように ΔV_L が0.8Vに対して大きい場合は、上に述べたようにメモリセル100の蓄積電荷 Q_m は(6)式ではなく(7)式で表され、 C_3 として付加した容量の効果が半分に減少してしまう。このため、十分なソフトエラー耐性を確保するためには大きな容量を付加することが必要となり、メモリセルの面積の増大をもたらすという問題点がある。

【0022】

【発明が解決しようとする課題】本発明の目的は、従来技術におけるこの問題点を解決し、小面積で α 線ソフトエラー耐性の高いメモリセルおよびメモリ装置を実現することである。

【0023】

【課題を解決するための手段】本発明に係るメモリセルは、第1の導電型の導電層中にドレインとソースとが形成され、ゲートとドレインとが互いに交差接続された二つの情報蓄積ノードを有する少なくとも2個の第2の導電型チャネルのMOSトランジスタを含むスタティック型メモリセルにおいて、第1の導電型の導電層の電位 V_{bb} を、第2の導電型チャネルのMOSトランジスタのドレインと第1の導電型の導電層とで形成される寄生ダイオードが、 α 線により引き起こされる雑音電流に起因する情報ノードの電位変動によってオンしない電圧レベルで、かつ、第2の導電型チャネルのMOSトランジスタのソースとは異なる電圧レベルに設定することを特徴とする。

【0024】この場合、前記メモリセルの二つの情報蓄積ノード(ノード1及びノード2)間に容量 C_c を付加すれば、メモリセルの蓄積電荷が大きくなりソフトエラー耐性増大に好適である。

【0025】前記第1の導電型の導電層がpウェルであり、第2の導電型チャネルのMOSトランジスタがnチャネルMOSトランジスタである場合は、pウェルの電位 V_{bb} をメモリセルの信号電位の低レベル V_L よりも低く、次式で表されるように設定すれば、低電位側ノードの電位がクランプされる電位は $V_L - V_F$ から $V_{bb} - V_F$ に低下するから、高電位側ノードと低電位側ノードの電位の逆転が起こりにくくなる。

【0026】

【数8】

ードがオンする電圧であり、約0.8Vである。また、低電位側ノードの電位低下量 ΔV_L の最大値は、(4)

式から $(C_3/C_2) V_S$ であるから、この (8) 式で表される条件が満たされていれば低電位側ノードの電位は全くクランプされること無く低下する。これにより、

(6) 式で表される大きな蓄積電荷増大効果を得ることができる。

【0028】また、前記第1の導電型の導電層がnウェルであり、第2の導電型チャネルのMOSトランジスタがpチャネルMOSトランジスタである場合は、nウェルの電位 V_{bb} をメモリセルの信号電位の高レベル V_H よりも低く、次式で表されるように設定すれば寄生ダイオードによってメモリセルの高電位側ノードの電位がクランプするのを防止できる。

【0029】

【数9】

$$V_{bb} \geq V_H + (C_3/C_2) V_S - V_F \quad \dots (9)$$

【0030】ここで V_F は、pチャネルのMOSトランジスタのドレインとnウェルとで形成される寄生ダイオードがオンする電圧であり、約0.8Vである。

【0031】また、メモリセルを構成する基板とnウェル層との間にn型高不純物濃度層を設け、このn型高不純物濃度層を高電位に接続すれば、さらに基板からの雑音電荷を遮蔽することができ、ソフトエラー対策に好適である。

【0032】或いは、基板とウェルの間およびトランジスタ同志の間を二酸化シリコン層で分離する構成としても、基板からの雑音電荷を遮蔽することができ、さらにソフトエラー対策に好適である。

【0033】前記第1の導電型の導電層がpウェルであり、第2の導電型チャネルのMOSトランジスタがnチャネルMOSトランジスタである前記メモリセルを複数用いたメモリ装置の場合は、pウェルの電位 V_{bb} を低電位側の電源電圧 V_{EE} よりも低く設定することにより、或いは前記第1の導電型の導電層がnウェルであり、第2の導電型チャネルのMOSトランジスタがpチャネルMOSトランジスタである前記メモリセルを複数用いたメモリ装置の場合は、nウェルの電位 V_{bb} を高電位側の電源電圧よりも高く設定することにより、寄生ダイオードの動作によってメモリセルがクランプするのを防止することができる。

【0034】また更に、前記第1の導電型の導電層がpウェルであり、第2の導電型チャネルのMOSトランジスタがnチャネルMOSトランジスタである前記メモリセルを複数用いたメモリ装置の場合は、メモリセルの信号*

$$V_{bb} \leq V_{EE} - (C_3/C_2) V_S + V_F \quad \dots (10)$$

【0039】このようにすれば、 α 線により発生する雑音電流によって高電位側ノードの電位が低下したときに、低電位側ノードの電位はクランプされることなく低下するので両ノード1、2の電位の逆転が起こりにくく

*電位の低レベル V_L をメモリ装置の低電位側の電源電圧 V_{EE} よりも高く設定することにより、或いは前記第1の導電型の導電層がnウェルであり、第2の導電型チャネルのMOSトランジスタがpチャネルMOSトランジスタである前記メモリセルを複数用いたメモリ装置の場合は、メモリセルの信号電位の高レベル V_H をメモリ装置の高電位側の電源電圧よりも低く設定することにより、メモリ装置の高速化を図ることができると共にECL-MOSレベル変換回路を設けることなく周辺回路を全てECL回路で構成することができる。

【0035】

【実施例】以下、本発明に係るメモリセル及びこのメモリセルを用いたメモリ装置の実施例につき、図1および図4乃至図11を用いて詳細に説明する。

【0036】<実施例1>図1は、本発明に係るメモリセルの一実施例を示す等価回路図である。図1において参照符号200はメモリセルを示し、このメモリセル200は4個のnチャネルMOSトランジスタMN1、MN2、MN3、MN4と、2個のpチャネルMOSトランジスタMP1、MP2とから構成されている。ここで、MN1、MN2はトランスファMOSトランジスタ、MN3、MN4は駆動MOSトランジスタであり、MP1、MP2は負荷MOSトランジスタである。また、ノード1とノード2は情報蓄積ノードであり、容量 C_c はメモリセルの蓄積電荷を増大させるためにノード1とノード2との間に付加した容量である。なお、この容量 C_c は、ノード1とノード2の間に存在するトランジスタMN3とMN4の拡散層-ゲート間寄生容量の容量値で充分であれば、必ずしも新たに付加する必要はない。

【0037】図1に示すように、負荷MOSトランジスタMP1、MP2のドレインはグラウンドに接続されており、駆動MOSトランジスタMN3、MN4のソースは負の電源 V_{EE} に接続されているため、本実施例の場合のメモリセル200の信号電位は高レベル V_H が0V、低レベル V_L が V_{EE} となっている。また、MN1~MN4のpウェル（またはp基板）の電位 V_{bb} は、 V_{bb} 発生回路210によって、 V_{EE} より低い電位にバイアスされている。特に、(8)式で表わされる条件を満たすようにするためには電位 V_{bb} を次式のように設定すれば良い。

【0038】

【数10】

なる。例えば、前述の加工寸法0.4 μ mのプロセスを用いて作製したメモリセル100では $(C_3/C_2) V_S$ の値は2.2V~3.3V、寄生ダイオードのオンする電圧 V_F は約0.8Vであるから、pウェル（またはp

基板)の電位 V_{bb} を電源電圧 V_{EE} より1.4V~2.5V低い電位にすれば良い。例えば、電源電位 V_{EE} を-3.3Vとすれば、電位 V_{bb} は-4.7V~-5.8V程度の値にすれば良い。

【0040】この様子を従来例の場合と比較して図4に示す。図4は、ノード1を高電位側として、 α 線により引き起こされた雑音電流が高電位側ノード1に流入した場合のノード1およびノード2の電位の変化を表す特性線図であり、(A)は図1に示した V_{bb} 発生回路210によりバイアスされたメモリセル200の特性線図、

(B)は図2に示した従来のメモリセル100の特性線図である。図4の(A)に示すように、本発明のメモリセル200では高電位側のノード1の電位が低下するに従い低電位側のノード2の電位も低下するため電位の反転が起こらない。これに対し、図4の(B)に示すように、従来例のメモリセル100では高電位側のノード1の電位が低下するに従い低電位側のノード2の電位も低下するけれども、低電位側ノード2の電位が $V_L=0$ 。8Vで寄生ダイオードが動作してクランプされてしまうため、ノード1とノード2の電位関係が反転し、ソフトエラーが発生する。

【0041】なお、上記pウエルのバイアス電位 V_{bb} は(10)式の条件を満たすように設定するのが好適であるが、この条件を満たすことができない場合でも V_{bb} を負の電源電圧 V_{EE} より低電位とすれば、 V_{bb} が V_{EE} と同電位である場合と比較して低電位側のノードがクランプされる電位は低下するので、ある程度のソフトエラー耐性の向上効果を得ることができる。

【0042】本実施例に用いる V_{bb} 発生回路210は、所望の電位を発生することができる回路ならばどのような回路形式のものでよく、例えば図5に示す公知のチャージポンプ回路220を用いることができる。このチャージポンプ回路220の動作を簡単に説明する。この回路は、1個のインバータINVと、3個の容量 C_{AA} 、 C_{BB} 、 C_{CC} と、4個のpMOSトランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 とで構成されている。この回路に、例えば0~+ V_{CC} で振幅するクロック信号が入力すると、容量結合された各pMOSトランジスタがそれぞれ適宜オン・オフ動作し、クロック信号の1サイクルごとに V_{bb} 出力端子から Q_4 を介して Q_2 へ向かって電流が流れるが、逆方向には流れないので、 V_{bb} 出力端子の電位を少しずつ低下させる。 V_{bb} 出力端子の電位は、 Q_4 のしきい電圧を V_{th} とすると、最終的には $-(V_{CC}-V_{th})$ の負の電圧に達する。所望の値の負の電圧を得るには、このチャージポンプ回路220に適当なレベルシフト回路を付加すれば良い。

【0043】また、本実施例では負荷素子としてpMOSトランジスタを用いたメモリセルを示しているが、負荷抵抗として高抵抗を用いたメモリセルに対しても本発明を同様に適用することができる。

【0044】図6は、図1に示したメモリセル200の具体的な構成の一実施例を示す要部断面構造図である。駆動MOSトランジスタMN3、MN4およびトランスファMOSトランジスタMN1、MN2はn形基板17中に設けられたpウエル14中に形成され、負荷MOSトランジスタMP1、MP2はn形基板17中に形成されている(ただし、MN1、MN2、MN4、MP2は図示されていない)。n+層12および13はそれぞれMN3のソースおよびドレインに相当するn形拡散層であり、ソース12は負の電源電圧 V_{EE} に接続され、ドレイン13はMP1のソース15およびMP2とMN4のゲート(図示していない)に接続されている。また、MP1のドレイン16はグラウンドに接続されている。pウエル14はp+層11を介して配線層18に引き上げられ、図示しない V_{bb} 発生回路210に接続される。なお、配線層18としては、タングステンまたはアルミニウム等の金属、或いは多結晶シリコンを使用することができる。

【0045】このように、本発明に係るメモリセル200は、nチャネルMOSトランジスタのソースの電位とpウエルの電位とを別個に与える構造とすると共に、pウエルの電位 V_{bb} を(10)式の条件を満足するように V_{bb} 発生回路210によって設定することにより、低電位側のノードがクランプされるのを防止することができる。従って、低電位側ノードの電位変動 ΔV_L が大きい場合でも、付加容量 C_c を増大することなくメモリセルの蓄積電荷増大効果が得られ、小面積でソフトエラー耐性の高いメモリセルを実現することができる。

【0046】<実施例2>次に、本発明に係るメモリセルの別の実施例を図7および図8を用いて説明する。図7は本発明に係るメモリセルを示す等価回路図である。図7において、図1に示した等価回路との相違点は、pウエルまたはp基板の電位 V_{bb} を負の電源電圧 V_{EE} に接続し、メモリセル202の信号電位の低レベル V_L を V_{ss} 発生回路230により設定している点である。すなわち、本実施例では前記実施例1とは逆に、メモリセル202の信号電位の低レベル V_L を V_{EE} より高い電位に設定している。ここで、 V_{ss} 発生回路230は電源電圧 V_{EE} よりも高い電位(絶対値が小さな負の電圧)を発生する回路である。従って、結果的にはメモリセル202の信号振幅 V_s を小さくすることになる。なお、本実施例でも実施例1と同様に容量 C_c は、ノード1とノード2の間に存在するトランジスタMN3とMN4の拡散層-ゲート間寄生容量の容量値で充分であれば、必ずしも新たに付加する必要はない。

【0047】このメモリセル202において、低電位側ノードの電位がクランプされるのを防止する前記(8)式の条件を満足するためには、 V_{ss} 発生回路230の出力電圧 V_{ss} を次式の条件を満たすように設定すればよ

【0048】

* * 【数11】

$$V_{ss} \cong (V_{bb} - V_F) / (1 + C_3/C_2) \quad \dots (11)$$

【0049】例えば、加工寸法0.3μmのプロセスを用いて作製したメモリセル202では、微細回路の設計上メモリサイズが変わりC₂は約15fF、α線ソフトエラー耐性に必要なC₃は約5fFとなり、V_Fは約0.8Vである。従って、メモリセル202の信号電位の低レベルV_L（すなわちV_{ss}発生回路230の電位V_{ss}）は、pウェル（またはp基板）の電位V_{bb}（この場合は電源電圧V_{EE}に接続されている）を-4Vとすれば、-2.5Vより高い値にすれば良い。

【0050】なお、図7に示すように、通常はpウェルの電位V_{bb}は負の電源電圧V_{EE}と同電位とすればよいが、必要ならば図1に示したV_{bb}発生回路210を用いて適当な電位にバイアスしても良い。また、この(1)式の条件を満足できない場合でも、V_{ss}はpウェルの電位V_{bb}よりも高い電位とすれば、V_{ss}がpウェルの電位V_{bb}と同電位である場合よりも低電位側ノードのクランプ電位が低下するので、ある程度のソフトエラー耐性の向上効果を得ることができる。

【0051】図8は、図7に示したメモリセル202の具体的な構成の一実施例を示す要部断面構造図である。本実施例ではp基板20を用い、駆動MOSトランジスタMN3、MN4およびトランスファMOSトランジスタMN1、MN2をpウェル21中に形成し、負荷MOSトランジスタMP1、MP2をnウェル22中に形成している（ただし、MN1、MN2、MN4、MP2は図示されていない）。pウェル21はp基板20を介して負の電源V_{EE}に接続され、nウェル22はn+層23および28を介してグラウンドに接続される。n+層24および25はそれぞれMN3のソースおよびドレインに相当するn形拡散層であり、ソース24は電源V_{ss}に接続され、ドレイン25はMP1のソース26およびMP2とMN4のゲート（図示していない）に接続されている。一方、MP1のドレイン27はグラウンドに接続されている。

【0052】本実施例では、このように構成することにより、メモリセル202の低電位側ノードの電位がクランプされるのを防止してα線によるソフトエラー耐性を向上させるだけでなく、低レベルの信号電位V_Lを低電圧化することができる。このため、次のような従来の難点を解消することができる。

【0053】すなわち、従来の高速BiCMOSメモリにおいては、外部回路とのインターフェース信号がECLレベルであるにもかかわらず、メモリの内部回路はBiCMOS回路を用いているためMOSレベルである。従って、ECLレベルを内部のMOSレベルに変換するECL-MOSレベル変換回路が必要であった。ところが、このレベル変換回路は現在知られている最も高

速の回路形式を用いても約1nsの遅延が避けられず、アクセス時間を高速化することに難点があった。これに対し、本実施例ではメモリセル202の低レベルの信号電位V_Lを低電圧化することにより、信号振幅V_sが電源電圧V_{EE}よりも小さく低振幅化できるので、メモリセルを周辺回路より低電圧化すれば、ワード線の信号振幅を低振幅化しワードドライバをECL回路で構成することが可能になる。これにより、ECL-MOSレベル変換回路が不要となるためアクセス時間を大幅に高速化することができ、その結果としてメモリ装置の動作を高速化することが可能となる。

【0054】＜実施例3＞さらに、ソフトエラーに十分強くしかも高速で小面積のメモリセルを実現するための本発明に係るメモリセルの別の実施例について、以下説明する。

【0055】ところで、図7に示す実施例においてはメモリセル202の信号振幅V_sは電源電圧V_{EE}よりも小さくなっているため、(6)式から明らかなように図1に示すメモリセル200と比較して蓄積電荷Q_mは小さくなる。また、図1に示すメモリセル200においても素子加工寸法の縮小にともなって素子の耐圧が減少するためメモリセルの信号振幅V_sを低減する必要があり、蓄積電荷Q_mは減少する傾向にある。

【0056】メモリセルに必要な蓄積電荷Q_mの大きさは、メモリセルに要求される耐α線性と収集される雑音電荷の大きさから決まる。例えば、大型計算機のキャッシュメモリなどに用いられる超高速メモリにおいては、誤り訂正符号によるソフトエラー対策は動作速度を損なうため用いることができないので、メモリセル自体に高い耐α線性が要求される。その場合、大きな容量を付加することにより必要な蓄積電荷Q_mを確保することは可能であるが、あまり大きな容量を付加すると動作速度が遅くなってしまうという問題が生ずる。また、大きな容量を付加したうえで高速動作をさせるためにはMOSトランジスタのゲート幅を大きくする必要があるので、メモリセル面積が大きくなってしまふ。

【0057】従って、ソフトエラーに十分強くしかも高速で小面積のメモリセルを実現するためには、前記実施例2に示した構成に加えて他のソフトエラー対策が必要である。図9は、このような対策を行ったメモリセルの一実施例を示す要部断面図である。なお、本メモリセル204の等価回路は図7と同様であり、信号電位の低レベルV_LはV_{ss}発生回路230に接続され、電源電圧V_{EE}よりも高い電位に設定されている（不図示）。このメモリセル204は、情報蓄積ノードに収集される雑音電荷を低減することにより、あまり大きな容量C₀を付加しなくても十分なソフトエラー耐性が得られるようにし

10

20

30

40

50

たものである。図9に示すように、駆動MOSトランジスタMN3、MN4およびトランスファMOSトランジスタMN1、MN2（ただし、MN1、MN2、MN4、MP2は図示されていない）はpウェル35中に形成され、負荷MOSトランジスタMP1、MP2はnウェル36中に形成される。pウェル35はn+層34によってp基板40から分離されており、p+層31を介して負の電源 V_{EE} に接続される。また、nウェル36はn+層39を介してグラウンドに接続される。このような構成とすることにより、 α 線によってp基板40中に発生した雑音電荷は、n+層34に遮蔽されてメモリセル204の情報蓄積ノード（MN3のドレイン33等）には集まらない。さらに、pウェル35中に発生した雑音電荷の一部もn+層34に吸収されるため、メモリセル204の情報蓄積ノードに収集される雑音電荷を大幅に低減することができる。

【0058】<実施例4>さらに図10は、収集される雑音電荷を低減するための手段を施した本発明に係るメモリセルの別の実施例を示す要部断面図である。なお、本実施例においても、メモリセル206の等価回路は図7と同様であり、信号電位の低レベル V_L は V_{ss} 発生回路230に接続され、電源電圧 V_{EE} よりも高い電位に設定されている（不図示）。このメモリセル206においては、pウェル54およびnウェル55の下方および両ウェル54、55間には SiO_2 層61が設けられており、両者をSi基板（図示していない）から分離している。 α 線によってSi基板中に発生した雑音電荷は SiO_2 層61によって遮蔽されるため、図9に示した実施例3と同様にメモリセル206の情報蓄積ノード（MN3のドレイン53等）に収集される雑音電荷を低減することができる。

【0059】なお、以上述べてきた実施例ではnMOSに入射した α 線によってソフトエラーが起こることを想定していた。これは、前に述べたように通常のメモリセルではpMOSの占有面積はnMOSと比べてはるかに小さく、 α 線が入射してもソフトエラーを起こすほど大きな雑音電流が流れないためである。しかし、これらの実施例において、nMOSをpMOSに、pウェルをnウェルに、メモリセルの信号電位の高レベルを低レベルに、などの読み替えを適当に行なうことによりpMOSに入射した α 線によってソフトエラーが起こる場合にも本発明が同様に適用できることは明らかである。

【0060】<実施例5>また、図11は、図7乃至図10に示した本発明に係るメモリセルを複数用いたメモリ装置の一実施例を示す回路図である。図11において参照符号300はメモリ装置を示し、この目盛装置300はXアドレスバッファ71と、Xデコーダおよびドライバ72と、Yアドレスバッファ73と、Yデコーダおよびドライバ74と、メモリセル75～78と、センス回路79、80と、出力回路81とから構成される。ま

た、同図において、W1、W2はワード線、BL1、BR1、BL2、BR2はビット線、VYIN1、VYIN2はビット線選択信号、DI、DI'は書き込み制御信号である。これらの信号または電源の電圧値の一例を示せば、ワード線W1、W2は選択時-0.8V、非選択時-3.2Vであり、ビット線選択信号VYIN1、VYIN2は選択時-3.0V、非選択時-3.4Vであり、書き込み制御信号DI、DI'の高レベルは-2.6V、低レベルは-3.4Vである。また、 V_{ss} の電位は-3.2V、電源電圧 V_{EE} は-5.2Vであり、メモリセルの駆動MOSトランジスタおよびトランスファMOSトランジスタのpウェルの電位は V_{EE} と同電位にバイアスされている。

【0061】図11に示したアドレスバッファ71、73および出力回路81は、周知の回路であるので動作に関する説明は省略する。また、デコーダおよびドライバ72、74の動作に関しては特開平2-265095号公報に、メモリセル75～78およびセンス回路79、80の動作に関しては特開平3-76096号公報にそれぞれ詳細な説明が記載されているので、ここでは同様に説明を省略する。

【0062】本実施例のメモリ装置300の特徴は、メモリセル75～78を周辺回路より低電圧化し、ワード線W1、W2およびビット線BL1、BR1、BL2、BR2の信号振幅を低振幅化することにより、アドレスバッファ71、72、デコーダおよびドライバ72、74、センス回路79、80、出力回路81などの周辺回路を全てECL回路で構成したことである。これにより、前述したように従来の高速BiCMOSメモリ装置では必要だったECL-MOSレベル変換回路が不要となるため、情報の読み出しを高速に行うことができる。さらに、ビット線BL1、BR1、BL2、BR2の充放電がバイポーラトランジスタによって行われるため、情報書き込みも非常に高速である。

【0063】以上、本発明に係るメモリおよびメモリ装置の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、例えば、実施例1乃至実施例4のメモリセルにおいて、nMOSをpMOSに、pウェルをnウェルに、メモリセルの信号電位の高レベルを低レベルに、などの読み替えを適当に行なうことによりpMOSに入射した α 線によってソフトエラーが起こる場合にも本発明が同様に適用でき、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【0064】

【発明の効果】本発明によれば、メモリセルに小さい容量を付加し、かつ、駆動MOSトランジスタおよびトランスファMOSトランジスタがnチャネルの場合には、pウェルまたはp基板の電位 V_{bb} を電源電圧 V_{EE} より低くするか、または低信号レベル V_L を電源電圧 V_{EE} より

高く設定し、pチャネルMOSトランジスタの場合には、nウェルまたはn基板の電位 V_{bb} を電源電圧 V_{EE} より高くするか、または高信号レベル V_H を高電位側の電源電圧より低く設定することにより、蓄積電荷を大幅に増大させることができるため、小面積でソフトエラー耐性の高いメモリセルおよびメモリ装置を実現することができる。

【0065】また、ソフトエラー耐性を向上させて、なおかつ信号電圧の低振幅化を図ることにより、ECL-MOS変換回路を不要にして周辺回路を全てECL回路で構成することができるため、高速のメモリ装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るメモリセルの一実施例を示す等価回路図である。

【図2】従来例を示すメモリセルの等価回路図である。

【図3】 α 線により誘起された雑音電流に対する応答を記述するためのメモリセルの等価回路図である。

【図4】 α 線により誘起された雑音電流が高電位側のノード1に流入した場合のノード1およびノード2の電位変化を示す特性線図であり、(a)は図1に示した構成の本発明に係るメモリセルの特性線図、(b)は図2に示した従来のメモリセルの特性線図である。

【図5】図1に示した本発明のメモリセルで使用する V_{bb} 発生回路の一例を示す回路図である。

【図6】図1に示したメモリセルの一実施例を示す要部断面図である。

【図7】本発明に係るメモリセルの別の実施例を示す等価回路図である。

【図8】図7に示したメモリセルの一実施例を示す要部断面図である。

【図9】図7に示したメモリセルに雑音電荷を遮蔽する

構造を持たせた一実施例を示す要部断面図である。

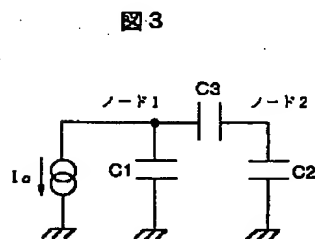
【図10】図7に示したメモリセルに雑音電荷を遮蔽する構造を持たせた別の実施例を示す要部断面図である。

【図11】図7に示した本発明のメモリセルを用いたメモリ装置の一実施例を示す回路図である。

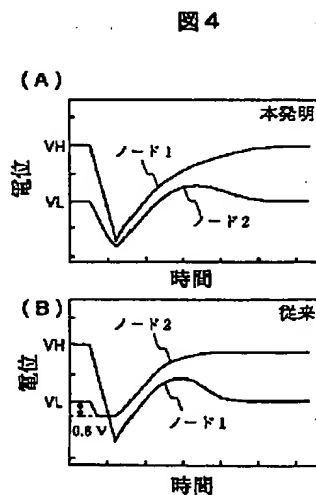
【符号の説明】

11, 31, 51...p+層、
12, 24, 52...n形拡散層、
14, 21, 35, 54...pウェル、
20, 40...p形基板、
28, 39, 58...n+層、
23, 34, 60...n+埋込層、
59...p+埋込層、
61...SiO₂、
71...Xアドレスバッファ、
72...Xデコーダおよびドライバ、
73...Yアドレスバッファ、
74...Yデコーダおよびドライバ、
75~78, 100, 200, 202, 204, 206...メモリセル、
79, 80...センス回路、
210... V_{bb} 発生回路、
230... V_{ss} 発生回路、
300...メモリ装置、
C₀...情報蓄積ノードの間に付加した容量、
C₁, C₂...情報蓄積ノードの対接地容量、
C₃...情報蓄積ノードの間の結合容量、
MN3, MN4...駆動MOSトランジスタ、
MP1, MP2...負荷MOSトランジスタ、
V_{bb}...pウェルの電位、
V_F...寄生ダイオードのオンする電圧

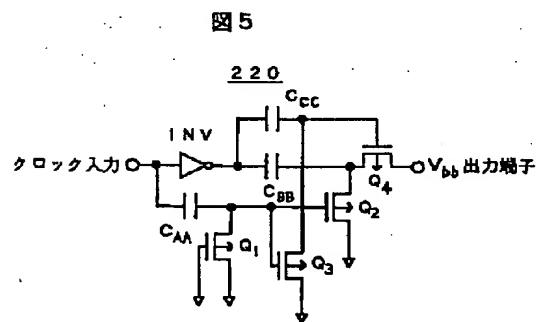
【図3】



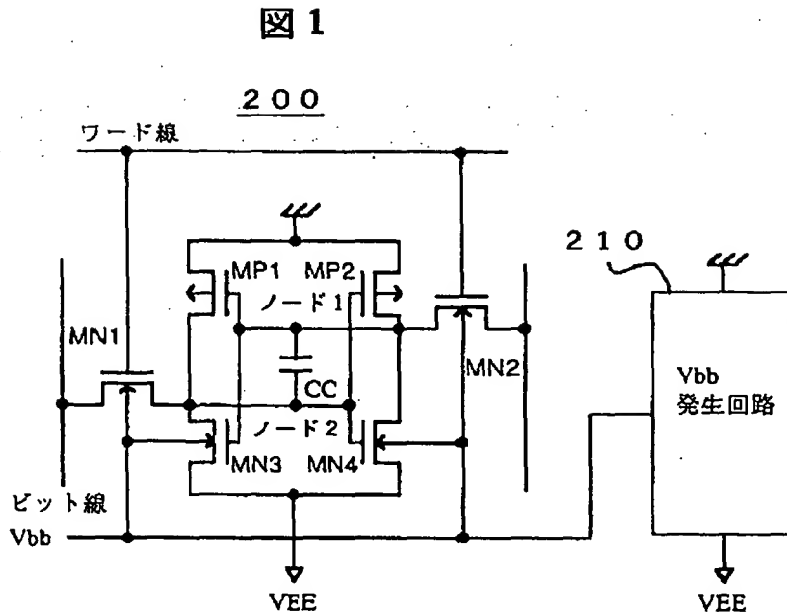
【図4】



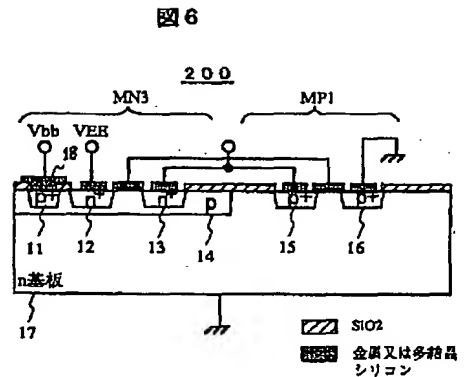
【図5】



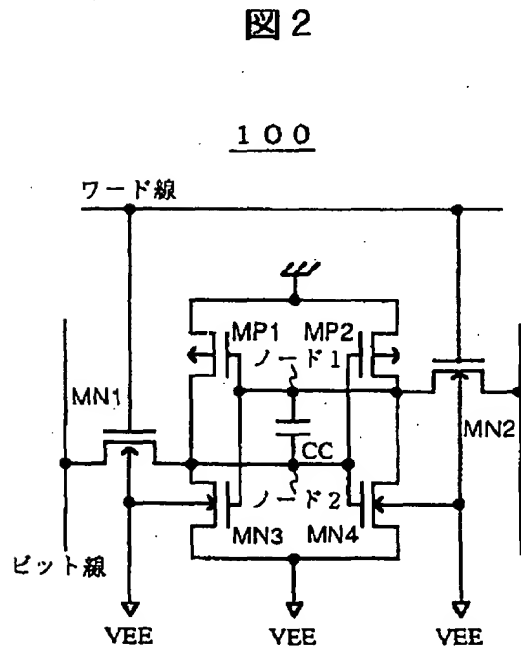
【図1】



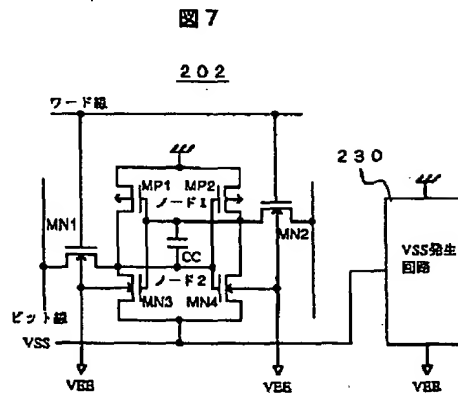
【図6】



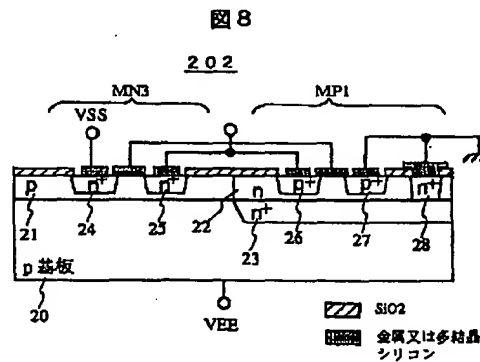
【図2】



【図7】



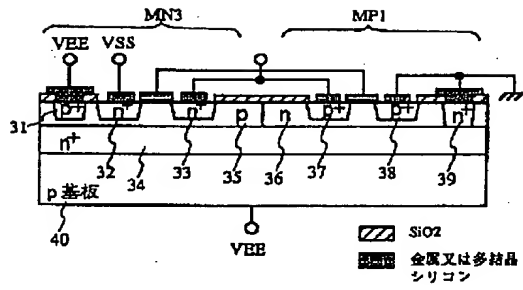
【図8】



【図 9】

図 9

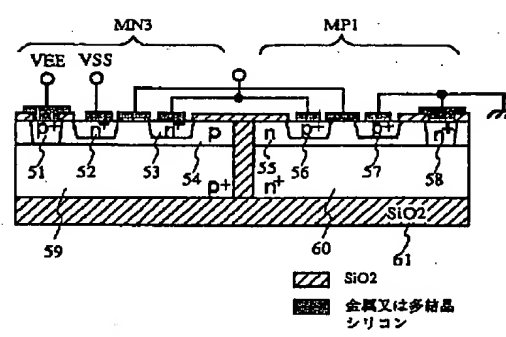
204



【図 10】

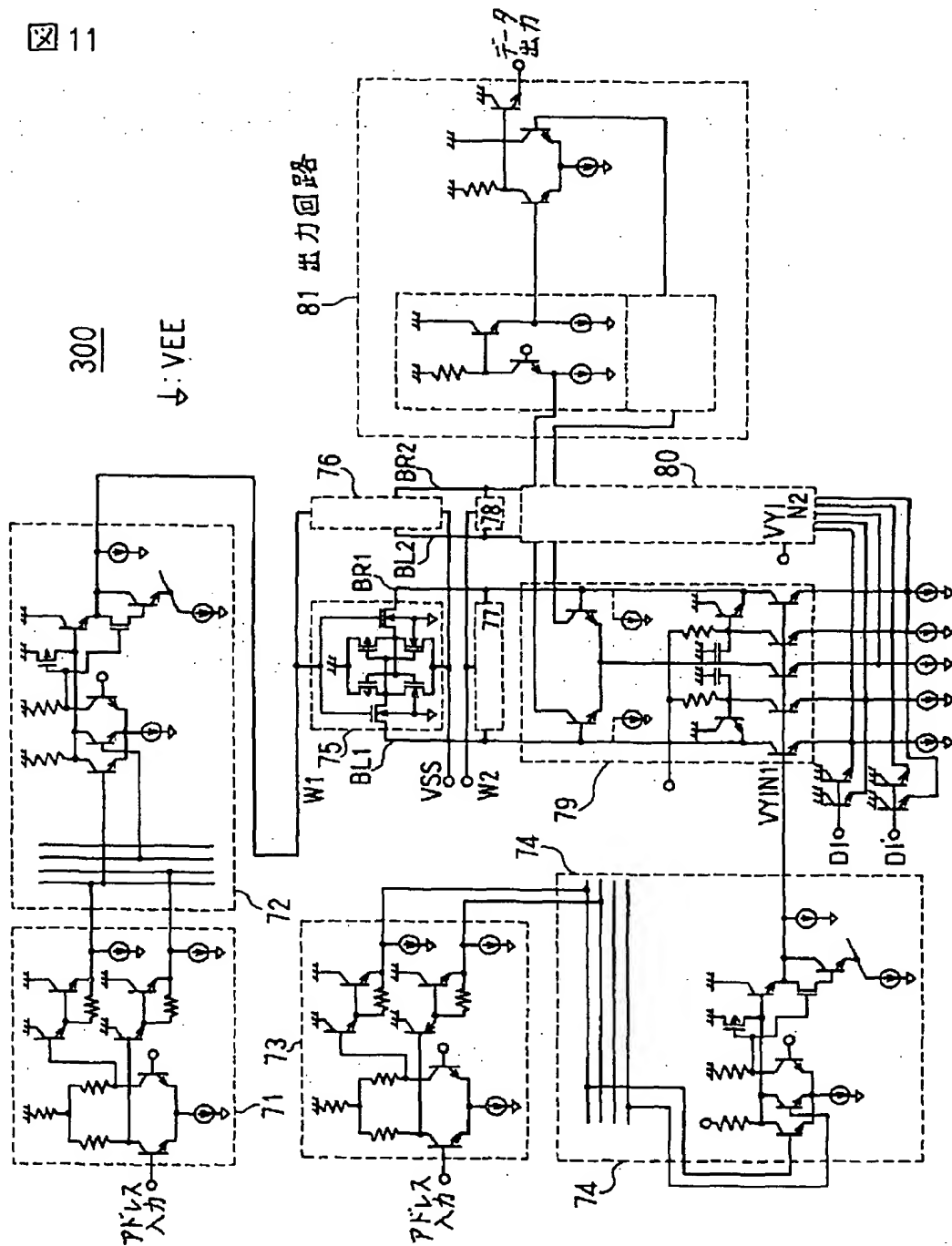
図 10

206



【図11】

図 11



フロントページの続き

(72)発明者 金谷 一男
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内

(72)発明者 増田 徹
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内

(72)発明者 山口 邦彦
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 大畠 賢一
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72)発明者 楠 武志
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

